

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-139360

(43)Date of publication of application : 27.05.1997

(51)Int.Cl.

H01L 21/28
H01L 21/768

(21)Application number : 08-305500

(71)Applicant : HYUNDAI ELECTRON IND CO LTD

(22)Date of filing : 01.11.1996

(72)Inventor : LIM JAE EUN
KIM HYEON SOO
LEE SEOK KIU

(30)Priority

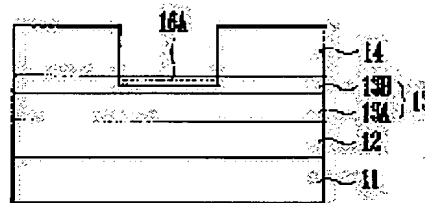
Priority number : 95 9539690 Priority date : 03.11.1995 Priority country : KR

(54) METHOD OF FORMING METALLIC WIRING OF SEMICONDUCTOR ELEMENT

(57)Abstract:

PROBLEM TO BE SOLVED: To improve the reliability of an element by forming the polycrystalline silicon layer of upper conductive wiring on a crystalline W-silicide layer thereby suppressing the production of a natural oxide film existing between the contacts of upper and lower conductive wirings and reducing the contact resistance.

SOLUTION: An amorphous W-silicide is made by implanting ions of impurities such as As, Si, P, etc., into the upper surface of the first W-silicide layer 13B of a word line 13. Next, a semiconductor substrate 11 is loaded at a temperature where the amorphous W-silicide layer is recrystallized. Then, a crystalline W-silicide layer 16A is made. Thereby, the growth of a natural oxide film is suppressed, and the natural oxide film produced already can also be broken by the shifting of atoms on the surface of the crystalline W-silicide layer 16A, while growing the crystalline grains of the amorphous W-silicide layer 16A.



LEGAL STATUS

[Date of request for examination] 01.11.1996

[Date of sending the examiner's decision of rejection] 28.07.1998

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開平9-139360

(43) 公開日 平成9年(1997)5月27日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/28 21/768	3 0 1		H 0 1 L 21/28 21/90	3 0 1 T C

審査請求 有 請求項の数20 F D (全 5 頁)

(21) 出願番号 特願平8-305500

(22) 出願日 平成8年(1996)11月1日

(31) 優先権主張番号 3 9 6 9 0 / 1 9 9 5

(32) 優先日 1995年11月3日

(33) 優先権主張国 韓国 (K R)

(71) 出願人 591024111

現代電子産業株式会社

大韓民国京畿道利川市夫鉢邑牙美里山136
- 1

(72) 発明者 林 載圻

大韓民国京畿道利川市夫鉢邑牙美里山136
- 1 現代電子産業株式会社内

(72) 発明者 金 鉉修

大韓民国京畿道利川市夫鉢邑牙美里山136
- 1 現代電子産業株式会社内

(72) 発明者 李 錫奎

大韓民国京畿道利川市夫鉢邑牙美里山136
- 1 現代電子産業株式会社内

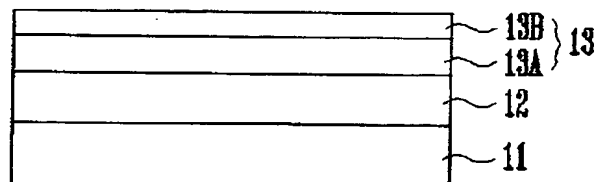
(74) 代理人 弁理士 山本 恵一

(54) 【発明の名称】 半導体素子の金属配線形成方法

(57) 【要約】

【課題】 本発明の目的は、コンタクト抵抗を低減させ工程収率及び素子動作の信頼性を向上させることができる半導体素子の金属配線形成方法を提供することにその目的がある。

【解決手段】 本発明に伴う半導体素子の金属配線形成方法は、半導体基板を提供する工程と前記半導体基板上に絶縁膜を形成する工程と、前記絶縁膜上に多結晶シリコン層と金属シリサイド層でなる下側配線を形成する工程と、前記下側配線上に前記金属シリサイド層の一部分を露出させるコンタクトホールを有する層間絶縁膜を形成する工程と、前記コンタクトホールを介し前記下側配線の金属シリサイド層の露出した表面に不純物をイオン注入して非晶質化させる工程と、前記金属シリサイド層の非晶質化した部分を熱処理して結晶化させる工程と、前記下側配線の金属シリサイド層の結晶窒化した部分上に上側配線を形成する工程を含んでなる。



【特許請求の範囲】

【請求項1】 半導体基板を提供する工程；前記半導体基板上に絶縁膜を形成する工程；前記絶縁膜上に多結晶シリコン層と金属シリサイド層でなる下側配線を形成する工程；前記下側配線上に前記金属シリサイド層の一部を露出させるコンタクトホールを有する層間絶縁膜を形成する工程；前記コンタクトホールを介し前記下側配線の金属シリサイド層の露出した表面に不純物をイオン注入して非晶質化させる工程；前記金属シリサイド層の非晶質化した部分を熱処理して結晶化させる工程；前記下側配線の金属シリサイド層の結晶化した部分に、上側配線を形成する工程を含んでなる半導体素子の金属配線形成方法。

【請求項2】 前記金属シリサイド層は、W-シリサイド層であることを特徴とする請求項1記載の半導体素子の金属配線形成方法。

【請求項3】 前記下側配線と上側配線は、ポリサイド構造に形成することを特徴とする請求項1記載の半導体素子の金属配線形成方法。

【請求項4】 前記層間絶縁膜では、酸化膜を用いることを特徴とする請求項1記載の半導体素子の金属配線形成方法。

【請求項5】 前記層間絶縁膜では、BPSGを用いることを特徴とする請求項1記載の半導体素子の金属配線形成方法。

【請求項6】 前記層間絶縁膜では、TEOSを用いることを特徴とする請求項1記載の半導体素子の金属配線形成方法。

【請求項7】 前記層間絶縁膜では、酸化膜とBPSG及びTEOSを含む積層膜を用いることを特徴とする請求項1記載の半導体素子の金属配線形成方法。

【請求項8】 前記下側配線の金属シリサイド層を非晶質化するためイオン注入する不純物では、Asを用いることを特徴とする請求項1記載の半導体素子の金属配線形成方法。

【請求項9】 前記下側配線の金属シリサイド層を非晶質化するためイオン注入する不純物では、Siを用いることを特徴とする請求項1記載の半導体素子の金属配線形成方法。

【請求項10】 前記下側配線の金属シリサイド層を非晶質化するためイオン注入する不純物では、Pを用いることを特徴とする請求項1記載の半導体素子の金属配線形成方法。

【請求項11】 前記非晶質化した金属シリサイド層の結晶化工程は、前記半導体基板をN₂ガス雰囲気のパージボックス(purge box)内にローディングして行うことを特徴とする請求項1記載の半導体素子の金属配線形成方法。

【請求項12】 前記ローディング温度は、約550℃以上の温度下で行うことを特徴とする請求項11記載の

半導体素子の金属配線形成方法。

【請求項13】 前記非晶質化した金属シリサイド層の結晶化工程は、前記半導体基板を真空状態のロードロックシステム(load lock system)を有するCVD装置にローディングして行うことを特徴とする請求項1記載の半導体素子の金属配線形成方法。

【請求項14】 前記ローディング温度は、約550℃以上の温度下で行うことを特徴とする請求項13記載の半導体素子の金属配線形成方法。

【請求項15】 前記上側配線は、多結晶シリコン層とW-シリサイド層であることを特徴とする請求項1記載の半導体素子の金属配線形成方法。

【請求項16】 前記多結晶シリコン層は、前記下側配線の金属シリサイド層の結晶化した部分に接触することを特徴とする請求項15記載の半導体素子の金属配線形成方法。

【請求項17】 前記多結晶シリコン層は、LPCVD方法で形成することを特徴とする請求項15記載の半導体素子の金属配線形成方法。

【請求項18】 前記多結晶シリコン層は、約300℃以上の温度で形成することを特徴とする請求項15記載の半導体素子の金属配線形成方法。

【請求項19】 前記下側配線と上側配線を成す第1及び第2多結晶シリコン層は、ドーピングされたシリコンで形成することを特徴とする請求項1記載の半導体素子の金属配線形成方法。

【請求項20】 前記下側配線と上側配線を成す第1及び第2多結晶シリコン層は、真性シリコンで形成することを特徴とする請求項1記載の半導体素子の金属配線形成方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体素子の製造方法に関し、特に高集積素子に適する半導体素子の金属配線形成方法に関する。

【0002】

【従来の技術】一般に半導体装置の製作において、半導体素子が高集積化されて行くに従いゲート電極やビット線等の導電配線の幅が減縮している。

【0003】しかし、導電配線の幅がN倍減縮すれば電気抵抗がN倍増加し半導体素子の動作速度を落とす問題点がある。

【0004】一般的な半導体素子のゲートやビット線等に用いられる導電配線としては、主にドーピングされた多結晶シリコン層を用いる。

【0005】これは面抵抗が約30～70Ω/□であり、コンタクト抵抗が一つのコンタクト当たり約30～70Ω/□程度である。

【0006】このように高い面抵抗及びコンタクト抵抗を低減させるため、多結晶シリコン層上に金属-シリサ

イド膜が積層されているポリサイド (polycide) 構造や、選択的的金属膜蒸着方法で導電配線の上部にのみ金属シリサイド膜や選択的的金属膜を形成した構造を用いた。

【0007】例えば、多結晶シリコン層パターンの上側にTiシリサイドやW-シリサイド層を形成する場合に、面抵抗が約 $5\Omega/\square$ 、コンタクト抵抗がコンタクト当たり約 $3\Omega/\square$ 以下に著しく低減するため半導体素子の動作時間の遅延を防止することができる。

【0008】さらに、化学気相蒸着 (chemical vapor deposition; 以下CVDと称する) 方法で形成するW-シリサイド膜は膜形成が容易であり、段差被覆性が優れる等の特性があり広く用いられている。

【0009】このような観点から、従来技術に伴う半導体素子の金属配線形成方法を説明すれば次の通りである。

【0010】図1乃至図3は、従来技術に伴う金属配線形成工程図である。

【0011】図1に示す如く、まず半導体基板(1)の一侧に活性領域を定義するための素子分離酸化膜(2)を形成する。

【0012】その次に、前記素子分離酸化膜(2)上に多結晶シリコン層(3A)と、前記第1多結晶シリコン層(3A)上に第1W-シリサイド層(3B)を順次積層して積層構造となったワード線(3)を形成する。

【0013】次いで、図面には示していないが、前記半導体基板(1)上にL. D. D (lightly doped drain; 以下LDDと称する) 構造のソース/ドレイン電極(未図示)を形成する。

【0014】その次に、図2に示す如く、前記構造の全表面に層間絶縁膜(4)を形成し、前記ワード線(3)でビット線コンタクトに予定されている部分上側の層間絶縁膜(4)を選択的に除去してビット線コンタクトホール(5)を形成する。

【0015】次いで、図3に示す如く、前記ビット線コンタクトホール(5)を介し前記ワード線(3)を成す前記第1W-シリサイド層(3B)の露出した表面上に、第2多結晶シリコン層(6A)と第2W-シリサイド層(6B)を順次積層して前記ワード線(3)と接触するビット線(6)を形成することにより金属配線を完成する。

【0016】

【発明が解決しようとする課題】前記の如く、従来技術に伴う半導体素子の金属配線形成方法においては次のような問題点がある。

【0017】従来技術に伴う半導体素子の金属配線形成方法においては、導電配線のワード線とビット線の面抵抗を低減させるため多結晶シリコン層とW-シリサイド層の積層構造でなるポリサイド構造に形成する。

【0018】しかし、下部ワード線のW-シリサイド層と上部ビット線の多結晶シリコン層間に自然酸化膜が形成され、W-シリサイドの小さい結晶粒によりコンタクト抵抗が増加する。

【0019】よって、コンタクトの均一性が低下し素子の動作速度の遅延は勿論、誤動作発生の原因になるため工程収率及び素子動作の信頼性が低下する問題点がある。

【0020】ここに、本発明は前記従来の諸般問題点を解決するため考案したものであり、本発明は、コンタクト抵抗を低減させ工程収率及び素子動作の信頼性を向上させることができる半導体素子の金属配線形成方法を提供することにその目的がある。

【0021】

【課題を解決するための手段】前記の如き目的を達成するための本発明に伴う半導体素子の金属配線形成方法は、半導体基板を提供する工程及び前記半導体基板上に絶縁膜を形成する工程と、前記絶縁膜上に多結晶シリコン層と金属シリサイド層でなる下側配線を形成する工程と、前記下側配線上に前記金属シリサイド層の一部分を露出させるコンタクトホールを有する層間絶縁膜を形成する工程と、前記コンタクトホールを介し前記下側配線の金属シリサイド層の露出表面に不純物をイオン注入して非晶質化させる工程と、前記金属シリサイド層の非晶質化した部分を熱処理して結晶化させる工程と、前記下側配線の金属シリサイド層の結晶化した部分上に上側配線を形成する工程を含んでなることをその特徴とする。

【0022】

【発明の実施の形態】以下、本発明に伴う半導体素子の金属配線形成方法を添付図面を参照して詳細に説明する。

【0023】図4乃至図8は、本発明に伴う半導体素子の金属配線形成工程図である。

【0024】図4に示す如く、先ずシリコンウェーハとなった半導体基板(11)の素子分離領域に予定されている部分に素子分離酸化膜(12)を形成して活性領域とフィールド領域を定義する。

【0025】その次に、前記素子分離酸化膜(12)上に第1多結晶シリコン層(13A)と、前記第1多結晶シリコン層(13A)上に第1W-シリサイド層(13B)を順次形成して積層構造となったワード線(13)を形成する。

【0026】次いで、図5に示す如く、前記構造の全表面に層間絶縁膜(14)を形成する。

【0027】その次に、前記ワード線(13)でセンスエンブと関連する周辺回路領域から、ビット線とのコンタクトに予定されている部分上側にある前記層間絶縁膜(14)部分を選択的に除去してコンタクトホール(15)を形成する。

【0028】この際、前記層間絶縁膜(14)では酸化膜やBPSG(Boro Phospho Silicate Glass;以下BPSGと称する)、テオス(Tetra ethyl ortho silicate;以下TEOSと称する)、又はこれらそれぞれの層等の組合された積層膜構造、例えば酸化膜-BPSG-酸化膜構造等のうち、いずれか一つを選択的に用いて形成することができる。

【0029】さらに、前記多結晶シリコン層(13A)はドーピングされたシリコンや真性シリコンで形成する。

【0030】次いで、図6に示す如く、前記コンタクトホール(15)を介し露出した前記ワード線(13)の第1W-シリサイド層(13B)の上部表面にAs、Si、P等の不純物中、いずれか一つを選択的にイオン注入して非晶質W-シリサイド層(16)を形成する。

【0031】その次に、図7に示す如く、前記構造の半導体基板(11)を前記非晶質W-シリサイド層(16)が再結晶化する温度、例えば550℃以上の温度でローディングして結晶質W-シリサイド層(16A)を形成する。

【0032】この際、前記半導体基板(11)はN₂を含むガス雰囲気のパージボックス(purge box)内にあったり、真空状態にあるロードロックシステム(load lock system)を有する化学気相蒸着(Chemical Vapor Deposition;以下CVDと称する)装置に搭載されている。

【0033】それにより、自然酸化膜の成長を抑制し、既に生成した自然酸化膜も前記結晶質W-シリサイド層(16A)の結晶粒子が成長しながら前記結晶質W-シリサイド層(16A)表面の原子移動により自然酸化膜を破壊することになる。

【0034】次いで、図8に示す如く、前記コンタクトホール(15)を介し露出している前記結晶質W-シリサイド層(16A)の上部表面に第2多結晶シリコン層(17A)と、前記第2多結晶シリコン層(17A)上に第2W-シリサイド層(17B)を順次積層して積層構造になったビット線(17)を形成する。

【0035】この際、前記第2多結晶シリコン層(17A)は低压化学気相蒸着(Low Pressure Chemical Vapor Deposition;以下LPCVDと称する)方法で形成する。

【0036】尚、前記第2多結晶シリコン層(17A)の形成は前記LPCVD方法以外にもさらに他の方法を利用して形成することもできる。

【0037】そして、前記第2多結晶シリコン層(17B)の蒸着はローディング温度が比較的高い点を鑑みて約300℃以上の温度下で行う。

【0038】従って、結晶質W-シリサイド層(16

A)と第2多結晶シリコン層(17A)の界面の接触面積が増加する。

【0039】さらに、自然酸化膜が破壊されコンタクト抵抗が低減することになる。

【0040】

【発明の効果】前記で説明した如く、本発明に伴う半導体素子の金属配線形成方法においては次のような効果がある。

【0041】本発明に伴う半導体素子の金属配線形成方法においては、コンタクト製造方法は下側導電配線のW-シリサイド層の表面をイオン注入方法で非晶質化させた後、非晶質W-シリサイド層の再結晶化温度以上の温度で熱処理し結晶の大きさが増加した結晶質W-シリサイド層になるようにする。

【0042】従って、前記結晶質W-シリサイド層上に上側導電配線の多結晶シリコン層を形成することにより上、下側導電配線間のコンタクトの間に存在することになる自然酸化膜の生成を抑制することができる。

【0043】さらに、既に生成された自然酸化膜も結晶化過程で破壊され、W-シリサイド層の結晶大きさが増加するためコンタクト抵抗が低減する。

【0044】よって、本発明に伴う半導体素子の金属配線形成方法は工程収率及び素子動作の信頼性を向上させることができる。

【図面の簡単な説明】

【図1】従来技術に伴う半導体素子の金属配線形成工程図。

【図2】従来技術に伴う半導体素子の金属配線形成工程図。

【図3】従来技術に伴う半導体素子の金属配線形成工程図。

【図4】本発明に伴う半導体素子の金属配線形成工程図。

【図5】本発明に伴う半導体素子の金属配線形成工程図。

【図6】本発明に伴う半導体素子の金属配線形成工程図。

【図7】本発明に伴う半導体素子の金属配線形成工程図。

【図8】本発明に伴う半導体素子の金属配線形成工程図。

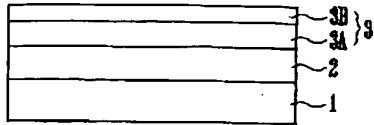
【符号の説明】

- 11 半導体基板
- 12 素子分離酸化膜
- 13 ワード線
- 13A 第1多結晶シリコン層
- 13B 第1W-シリサイド層
- 14 層間絶縁膜
- 15 コンタクトホール
- 16 非晶質W-シリサイド層

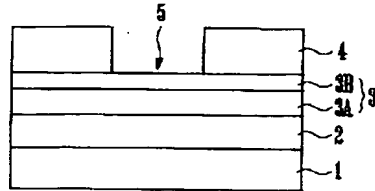
16A 結晶質W-シリサイド層
17 ビット線

17A 第2多結晶シリコン層
17B 第2W-シリサイド層

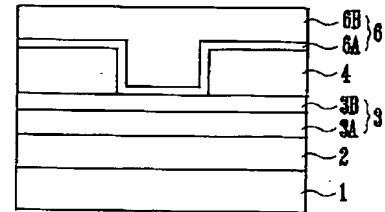
【図1】



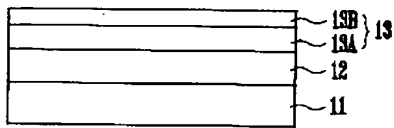
【図2】



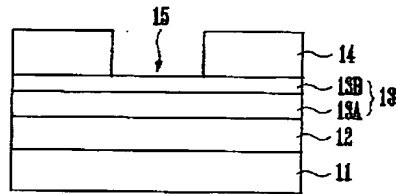
【図3】



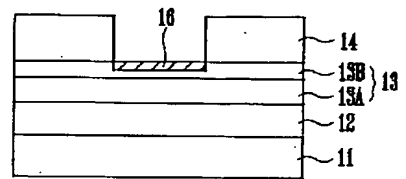
【図4】



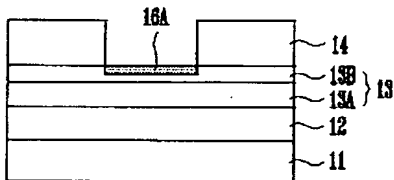
【図5】



【図6】



【図7】



【図8】

